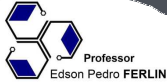


Memória

Prof. Edson Pedro Ferlin

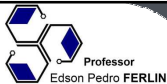
- **Objetivos**
 - Apresentar as memórias dos computadores

- **Conteúdos**
 - Tipos
 - Funcionamento
 - Principal
 - Cache

Professor
Edson Pedro FERLIN

Arquitetura

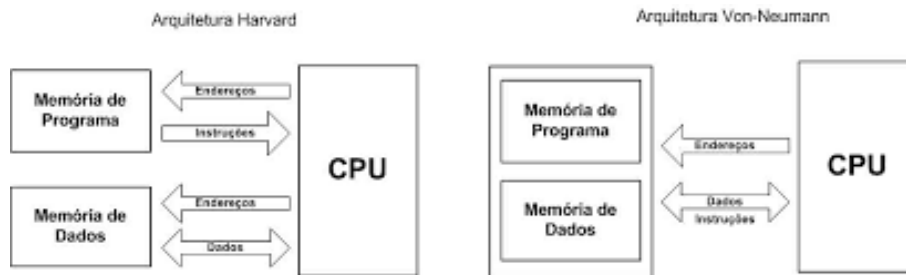
- Tradicional (Von Neumann)
Dados e Programas (Instruções) (unificada)
- Harvard
Dual (Dados e Programas) (separada)

Professor
Edson Pedro FERLIN

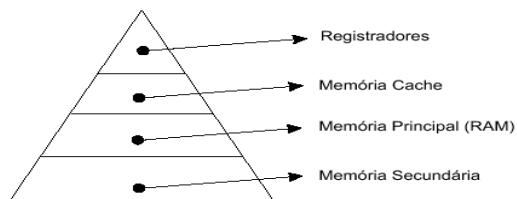
Definições

- Palavra – quantidade de bits
- Unidade endereçável – normalmente bytes, mas alguns sistemas permitem bits

Arquitetura da Memória



Hierarquia da Memória



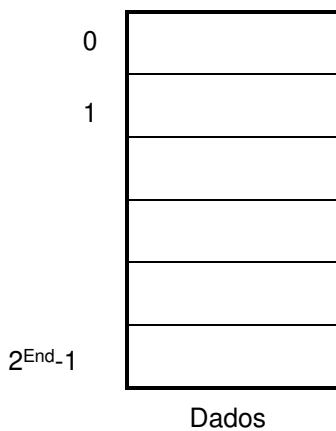
- Registradores (nulo)
- Memória Cache L1(nulo), L2 e L3 (5ns)
- Memória Principal (Semicondutores) (50ns)
- Memória Secundária (Discos) (100ms)

Tempos de Acesso à Memória

Typical Memory Hierarchy

	Size (KBytes)	Latency (nsecs)	Bandwidth (MB/sec)
Register	<1KB	2-5	8,000-32,000
Cache	256-4096	2-10	800-5,000
Memory	<4GB	80-500	400-2,000
Disk	>>1GB	5,000,000-10,000,000	4-20

Capacidade



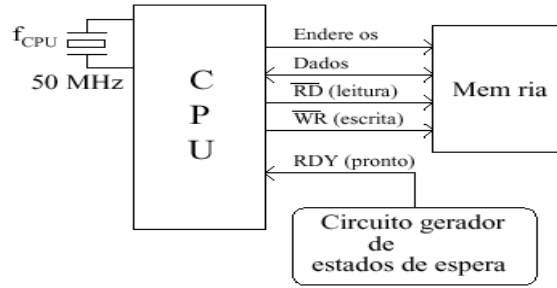
- Comprimento x Largura
Ex: 4Kx4 = 16Kbits = 2Kbytes

Exemplo: Processador de 8 bits e 16 bits de endereço

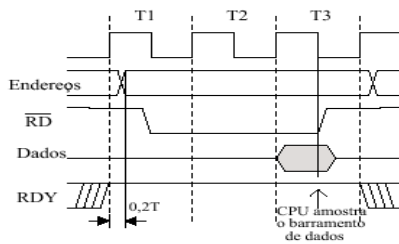
- End = n^o bits de endereço
- Dados = n^o bits de dados

$$2^{16} \times 8 = 64K \times 8 = 64Kbytes$$

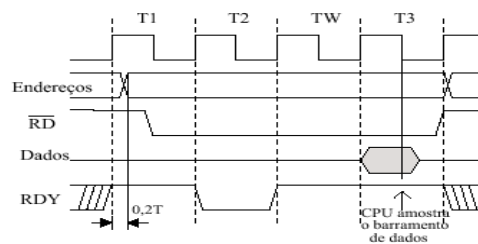
Acesso à Memória



Ciclos de Leitura

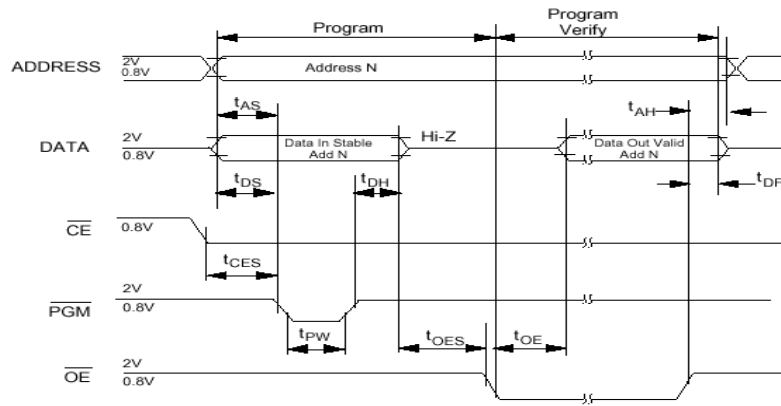


Ciclo de leitura

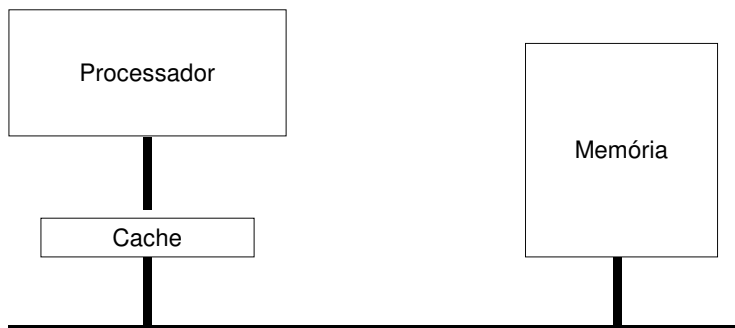


Ciclo de leitura com um estado de espera

Operação de Leitura e Escrita



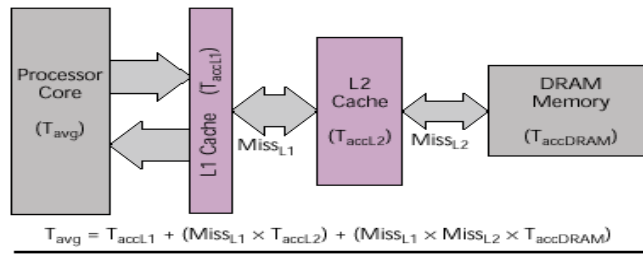
Memória Cache



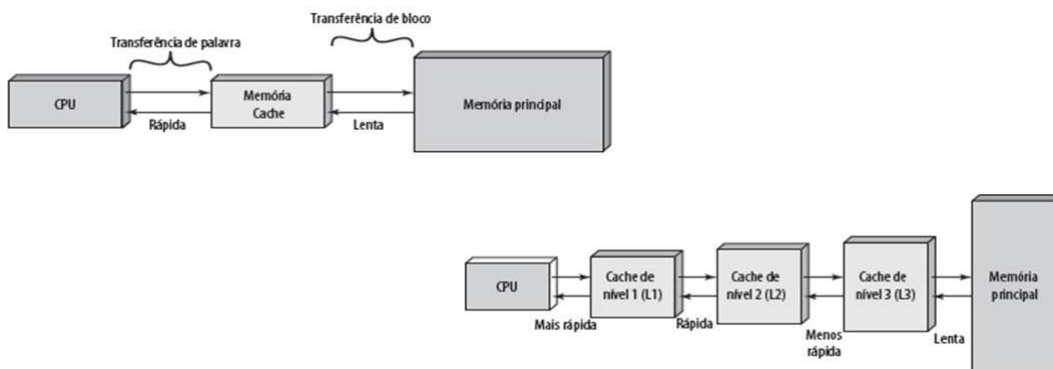
A memória cache contém uma cópia de partes da memória principal. E se baseia no princípio da localidade.

Utiliza chips SRAM

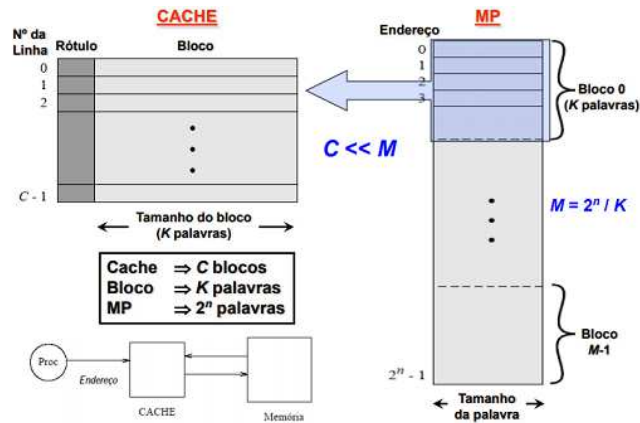
Acesso à Memória Cache



Hierarquia da Memória



Estrutura Cache / Memória Principal



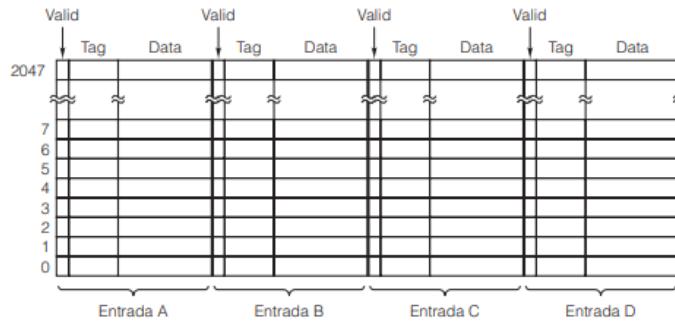
Memória Cache

1bit	22bits	32bits	5bits
Válido	Localização	Valor	LRU

Estratégias de Escrita:

- Write Through
- Copy Back / Write back / write defered

Cache Associativa de Conjunto



Contato



eferlin@live.com



(BLOG) professorferlin.blogspot.com

(SITE) professorferlin.webnode.com.br

(YOUTUBE) ProfEdsonPedroFerlin